

PAT-NO: JP356017022A  
DOCUMENT-IDENTIFIER: JP 56017022 A  
TITLE: TREATING APPARATUS  
PUBN-DATE: February 18, 1981

INVENTOR-INFORMATION:

NAME

MAEJIMA, HIROSHI

NANKO, SUSUMU

FUJISAWA, ATSUSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP54091552

APPL-DATE: July 20, 1979

INT-CL (IPC): H01L021/306, C23F001/00 , H01L021/02 ,  
H01L021/50

US-CL-CURRENT: 257/E21.215

ABSTRACT:

PURPOSE: To etch in high accuracy by a treating by automatically conveying and transferring wafers over respective treating units, and measuring the size of a pattern on a wafer before and after the etching to automatically control an adequate etching amount.

CONSTITUTION: Wafers are supplied one by one from a supply unit 4 via a cartridge to an inspecting unit A. The wafers are partly

sampled by a gate 9,  
are measured in size by a resist mask size measuring  
instrument 6, and are  
controlled in the etching amount on the basis of the result  
of the measurement  
by a controller H. The wafers not sampled are transferred  
through a bypass  
passage to an etching unit B through a common outlet  
together with the  
inspected substrates. The etched wafers are also partly  
sampled and are  
measured in size by a size measuring unit 6, and are then  
transferred to a  
pickup unit 5. After they are pretreated by a pretreating  
unit 11, they are  
plasma etched by a plasma etching unit 12 in  
CF<sub>4</sub>+O<sub>2</sub>. When  
requiring other step such as a step of forming a stopper  
layer thereon, the  
wafers are led in and out by a guide 13 to be treated, are  
then plasma etched  
in O<sub>2</sub>, are removed with resist masks by a remover  
C, are then cleaned  
by a cleaner D, and are then contained one by one by a  
cartridge in a container  
5. This configuration can automatically etch in high  
accuracy and reduce the  
number working personnel concerned.

COPYRIGHT: (C)1981,JPO&Japio

## ⑫ 公開特許公報 (A)

昭56—17022

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

④ 公開 昭和56年(1981)2月18日

H 01 L 21/306

7131—5F

C 23 F 1/00

6793—4K

H 01 L 21/02

6851—5F

21/50

6851—5F

発明の数 1

審査請求 未請求

(全 6 頁)

## ⑭ 処理装置

社日立製作所武蔵工場内

⑮ 特 願 昭54—91552

⑯ 発 明 者 藤沢厚

⑰ 出 願 昭54(1979)7月20日

小平市上水本町1450番地株式会

⑱ 発 明 者 前島央

⑲ 出 願 人 株式会社日立製作所

小平市上水本町1450番地株式会

東京都千代田区丸の内1丁目5

社日立製作所武蔵工場内

番1号

⑳ 発 明 者 南光進

㉑ 代 理 人 弁理士 薄田利幸

小平市上水本町1450番地株式会

## 明 細 書

発明の名称 処理装置

## 特許請求の範囲

1. ウエハを自動的に1枚毎転送するためのロード・アンローダ部と、ウエハ上のパターン寸法を測定する検査部と、ウエハ表面の被処理物を選択的にエッチするエッチ部と、エッチされたウエハ表面の選択エッチ用レジストを除去するレジスト除去部と、これら各処理部間にわたつてウエハを搬送、転送する搬送手段及び、エッチング前後のパターン寸法測定結果に基づいてエッチング量を制御するエッチング量制御部とを具備し、ウエハを連続して処理することを特徴とする処理装置。

2. ウエハの搬送路をU字状に形成し、一つの検査部によつてエッチ前とエッチ後のパターン寸法測定を行うようにした特許請求の範囲第1項記載の処理装置。

3. 各処理部に転送部を設けてユニットとし、各ユニット間を相互に連結乃至分離できるように

(1)

した特許請求の範囲第1項又は第2項記載の処理装置。

## 発明の詳細な説明

この発明はウエハ1枚処理エッチング・プロセスの使用に好適な処理装置に関する。

半導体装置の製造においては、半導体ウエハの段階でウエハ表面に形成した各種物質の被膜を選択的にエッチするエッチ処理が不可欠である。このエッチ処理の形態は、例えばポリSiゲート形成の場合第1図を参照し、下記のように行われる。

(a) Si結晶基板1上にポリSiあるいはSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>等の被処理膜2を形成する。(b)被処理膜とにフォトリソスト(感光性耐蝕膜3を塗布する、(c)感光、現像等の写真処理を行いゲートに対応するレジストマスク3aを完成する。(d)レジスト・マスクのパターン寸法を測定する。(e)レジスト・マスクを通して被処理膜のエッチング(ドライエッチ又はウェットエッチ)を行う。(f)レジストを除去する(ウェットプロセスの場合洗浄を伴う)。(g)エッチされた被処理層(g

(2)

ート) 2 a のパターン寸法  $L'$  を測定する。

このようなエッチ処理とそれに伴う各プロセスは自動化の傾向にあるが、一般に各プロセス毎にそれぞれ自動機を使用して個別に処理が行われている。例えば第2図に示すように寸法測定(a)、(d)には光学系を見えた半自動式検査機Aが使われ、エッチング(b)にはエッチ・水洗自動機B、レジスト除去(c)には除去水洗自動機C等がそれぞれ使用されている。各自動機A, B, C…間は例えばウェハ25枚入りのカートリッジを手作業で移し換える等のため人手を要し非能率である。又前記したようなゲート形成の場合にエッチ後に線幅精度を上げるためにレジストパターン寸法を測定し、その結果に基づいてエッチ量を作業者が設定するが、全数チェックすると膨大な工数がかかり、一方、抜き取り検査するためには微細パターンでは問題が多く十分に検査の結果が生かされない。

本発明は上記した従来技術の問題点を解消するべくなされたものである。よつてこの発明の目的

(3)

及び寸法外観検査部Aはそれぞれ2個あつて両端に配置される。なお、エッチング量制御部Hは他の処理部例えば検査部等に内蔵される。

第4図及び第5図は本発明をポリS1エッチ工程一貫処理装置に適用した一実施例を示し、Fはローダ・アンローダ部、Aはバイパスを有する寸法外観検査部、Bはプラズマ・エッチ部、Iはサブローダ・アンローダ部を有するU字形搬送部、Cはプラズマによるレジスト除去部、Dは必要に応じて設けられる洗浄処理部であり、これら各処理部間にはベルトコンベア又はエアベアリング等の搬送手段Gを有し、ウェハを1枚ごとに移送するようになつている。以下各処理部について詳述する。

ローダ・アンローダ部Fは矢印INよりカートリッジごと未処理をセットしてウェハ1枚ごとに供給する間欠回転により搬送する円板式ローダ4と、処理されたウェハをOUTより取出す円板式アンローダ5とを1つのユニットにセットしたものである。

(5)

は高精度のエッチングなどの処理が可能であり、しかも作業人員を低減できる処理装置を提供することにある。

上記発明の目的を達成するためこの発明の最もシンプルな形態は、例えば第3図を参照し、ウェハを1枚ごとに移送するためのローダ・アンローダ部Fと、ウェハ上のレジストパターン及びエッチパターン寸法の測定するための寸法外観検査部Aと、レジストをマスクとしてウェハ表面を選択的にエッチするエッチング部Bと、エッチされたウェハ表面のレジストを除去するレジスト除去部Cと、これら各部にわたつてウェハを搬送する搬送手段G及びエッチング前後のパターン寸法測定情報に基づいてエッチング量を制御するエッチング量制御部Hとを具備し、また図示しないがウェハのロット管理、プロセス条件等を制御するもの及び全体のシーケンスを制御する電気制御部を備えてなる処理装置であることを特徴とする。この第3図で示した処理装置は各処理部を一列に配置した場合の例であつて、ローダ・アンローダ部F

(4)

寸法外観検査部(以下検査部と称す)Aは第6A図、第6B図に示すように対物レンズを具えた寸法外観検査機構6、ウェハを選択的に移送するためのゲート9を有するバイパス7、サブローダ部8a、サブアンローダ部8bからなる。ローダ・アンローダ部Fから送られた処理前のウェハ群のうち、例えば25枚中の2~3枚は抜き取られて第6A図の矢印にそつて進み検査機構6の中に位置決めセットされてレジストパターン寸法を測定され、その測定結果は記憶されエッチ量制御部Hに送られる。他の23枚はローダ部Fによつて同図の破線の矢印で示すバイパス7a, 7b, 7cにそつて進み、検査されたウェハと共通の出口10から次のエッチ部のユニットBへ搬送される。

エッチ処理された後のウェハ群は第6B図の矢印にそつてバイパス7dを通り、このうち抜き取られた2~3枚はバイパス7aを前記の経路と逆行して検査部6に入つてエッチ後のパターン寸法が測定され、バイパス7cを経てバイパス

(6)

7 dで地の23枚の進行に合流し、ローダ・アンローダ部Fのアンローダ5に転送される。

プラズマエッチ部Bは前処理部11と本処理部12とから成り、本処理部で送入されたウエハに対しCF<sub>4</sub>、ガス、O<sub>2</sub>ガスの中でプラズマ放電によりレジストから露出するポリSiをエッチしてポリSiゲートを形成する。

U字形搬送部Iはこれによつて諸処理ユニットの配列を2列に構成し、同一端(ローダ・アンローダ部)でウエハの出し入れを行うとともに、エッチ処理前と後とでの寸法外観検査を一つの検査機構で検査を可能とした。サブローダ・アンローダ部13はエッチ後に選択酸化膜形成前のストップ用不純物イオン打込み等の他の工程を必要とする場合にウエハを取出し、取入れるために用いるためのものである。

レジスト除去部Cは、エッチされたウエハにおいて不要となつたレジストをO<sub>2</sub>ガス中でプラズマ放電により除去するためのものである。

洗浄処理部Dはプラズマエッチによるレジスト

(7)

A, B, ...ごとにユニット(ブロック)化した場合の実施例を示す、各ユニットにおいてはウエハの出入搬路にそれぞれストツカ乃至転送部14を設け、この転送部を介して各ユニットを連結できるようにする。このようなブロック化により、各種のユニットを必要に応じて交換し、附加しあるいは省略することができる。

以上、実施例で述べた本発明によれば(1)一貫処理化により人員が低減できる、(2)検査の自動化により高精度のエッチングが可能となる、(3)各処理部の配列、ユニット化により、設置スペースを小さくできる等の効果を奏する。

本発明は前記実施例に限定されず、これ以外の種々の変形例を有する。実施例ではプラズマ装置を利用したドライエッチ法を示したが、ウェットエッチ法の場合にも同様に本発明を適用できる。

ローダ・アンローダ等の各処理部間の転送手段としては電磁ソレノイドを使用した直動型、シーソー方式、回転方式その他を任意に採用することができる。

(9)

除去の際に被処理物中に残留するレジスト中の不純物イオンを酸処理より除去するためのものである。この洗浄処理部は必ずしもこの一貫処理装置の中に含ませなくともよく後段の処理装置で前洗浄部として設置しても良い。

エッチ量制御部Hは検査部又はプラズマエッチ部に内蔵され、エッチング前後のパターン寸法測定により得られた情報に基づいてエッチ量制御系数を補正しプラズマエッチ部におけるエッチ処理の制御動作を指令するためのものである。

上記構成の一貫処理装置によつて(1)ローダ・アンローダ部のローダ部にセットされたカートリッジから出たウエハは自動的に検査部(一部抜取り)、プラズマエッチ部、レジスト除去部、洗浄部、検査部(一部抜取り)を経てアンローダのアートリッジに入り(2)エッチ前後の検査によつて適正なエッチ量制御をなす諸動作を自動的に行う。エッチング後の寸法公差は従来のものに比較して高精度が可能となつた。

第7図は第4図の一貫処理装置を各処理部F,

(8)

本発明はポリSi, SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>等の被膜、Al膜、PSG(リン・シリケート・ガラス)膜等、ウエハ上に形成する各種の被膜のエッチ処理を対象とする。

図面の簡単な説明

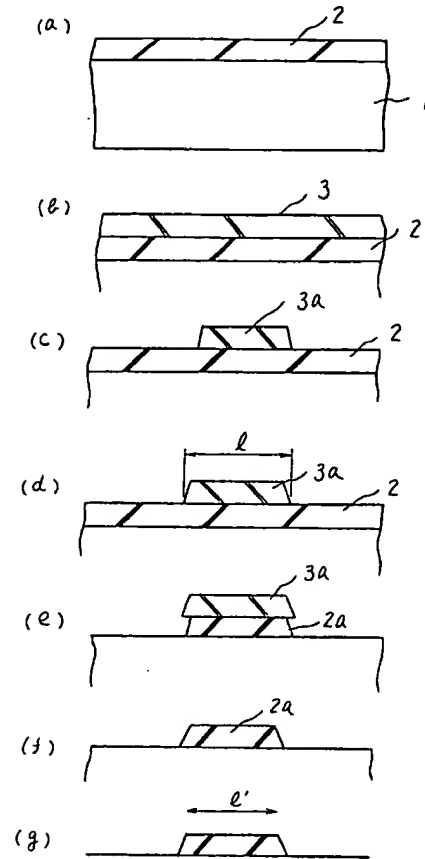
第1図(a)~(g)は本発明の対象となるポリSiエッチ工程の各断面図、第2図(a)~(d)はエッチ工程と従来の処理装置を対応させたブロック線図である。第3図は本発明による処理装置の一実施例の概略平面図、第4図は本発明による処理装置の他の実施例の概略平面図、第5図は同じく他の実施例の斜面図、第6A図及び第6B図は同じく他の実施例の検査部におけるウエハの動きを示す一部平面図、第7図は本発明による処理装置をユニット化した実施例の概略平面図である。A...検査部、B...エッチ部、C...レジスト除去部、D...エッチ洗浄部、E...検査部、F...ローダ・アンローダ部、G...搬送手段、H...エッチング量制御部、I...U字形搬送部、1...Si結晶基板、2...被処理膜(Si)、2a...Siゲート、3...フ

(10)

第 1 図

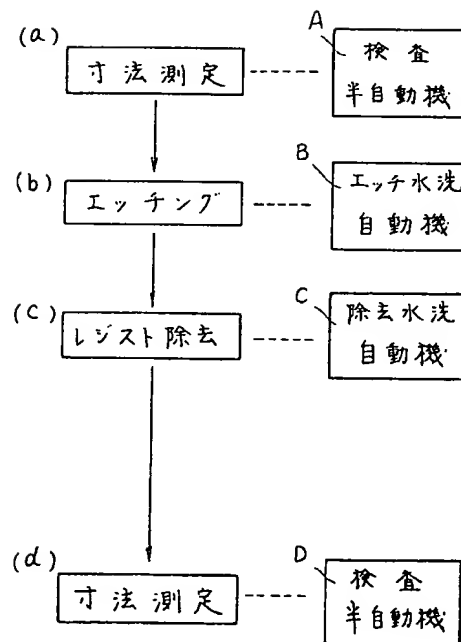
オトレジスト、3 a…レジストマスク、4…ロー  
ダ、5…アンローダ、6…寸法外観検査機構、7、  
(7 a, 7 b…)…バイパス、8 a…ローダ部、  
8 b…サブローダ部、9…ゲート、10…出口、  
11…前処理部、12…本処理部、13…サブ  
ローダ・アンローダ部、14…転送部。

代理人 弁理士 薄田利幸

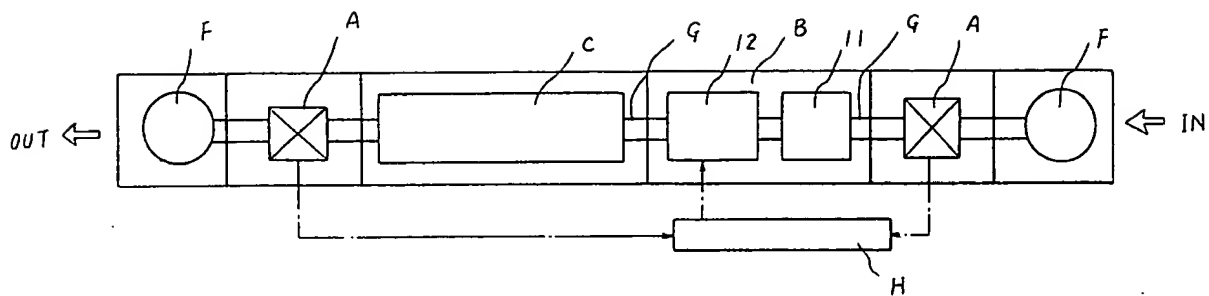


(11)

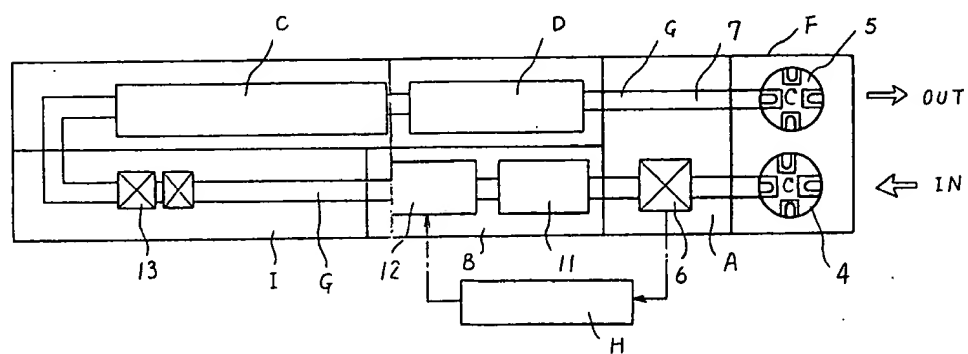
第 2 図



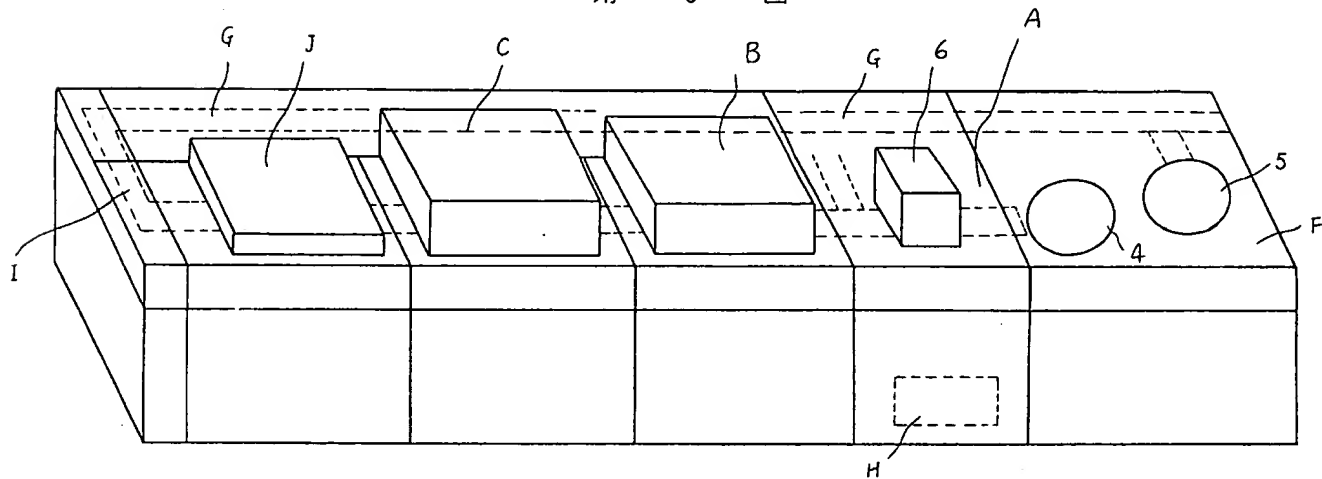
第 3 回



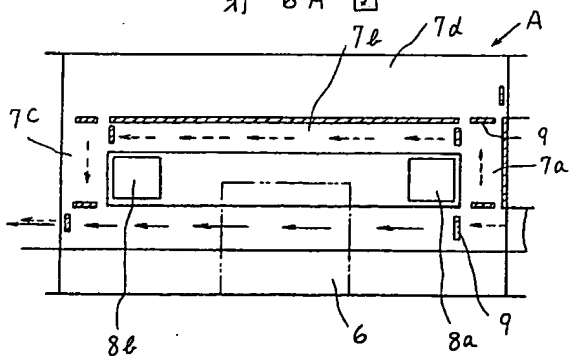
第 4 回



第 5 回



第 6A ⑦



第 6 B ⑦

